

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-184274

(43)Date of publication of application : 30.06.2000

(51)Int.Cl.

H04N 5/243
H04N 5/335

(21)Application number : 10-356167

(71)Applicant : NEC CORP

(22)Date of filing : 15.12.1998

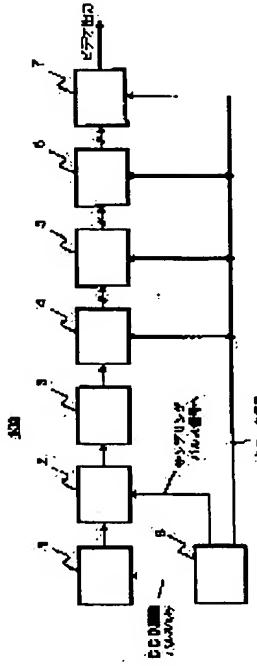
(72)Inventor : ISHII KENJI

(54) DIGITAL CAMERA AND DIGITAL PIXEL ADDITION METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To enhance the signal to noise ratio S/N and the sensitivity of a solid-state image pickup element by using digital pixel addition.

SOLUTION: This camera is provided with a digital pixel addition means 5. The digital pixel addition means 5 is configured by using a digital processing section operated by a clock signal whose frequency is equal to a drive frequency of a solid-state image pickup means 1 as a core and executes a pixel addition function through digital processing adding all digital signals with a prescribed bit length up to before N pixels of the solid-state image pickup means 1.



LEGAL STATUS

[Date of request for examination] 18.03.1999

[Date of sending the examiner's decision of rejection] 02.04.2002

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-184274

(P2000-184274A)

(13) 公開日 平成12年6月30日 (2000.6.30)

(51) Int.Cl.⁷H 04 N 5/243
5/335

成別記号

F I

マーク (参考)

H 04 N 5/243
5/3355 C 0 2 2
P 5 C 0 2 4

審査請求 有 請求項の数 8 OL (全 7 頁)

(21) 出願番号	特願平10-356167	(71) 出願人	000004237 日本電気株式会社 東京都港区芝五丁目7番1号
(22) 出願日	平成10年12月15日 (1998.12.15)	(72) 発明者	石井 健二 東京都港区芝五丁目7番1号 日本電気株式会社内

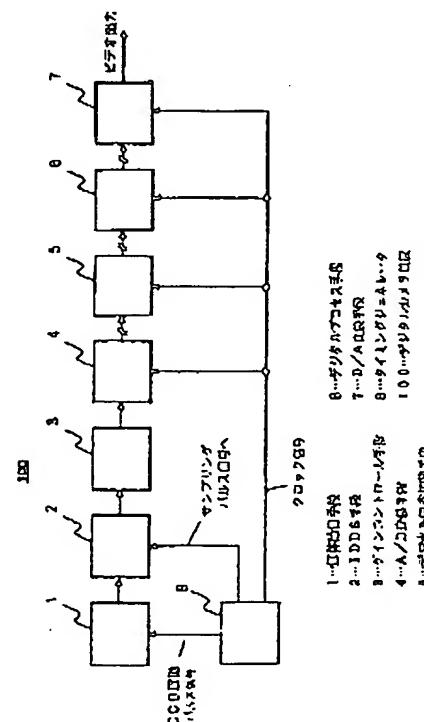
(74) 代理人 100097113
弁理士 堀 城之
Fターム (参考) 50022 AA13 AB20 AB37 AC00 AC42
50024 AA01 BA01 CA05 CA12 HA07
HA10 HA14 HA17

(54) 【発明の名称】 デジタルカメラ装置及びデジタル画素加算方法

(57) 【要約】

【課題】 本発明は、デジタル画素加算を用いて固体撮像素子の高感度化やS/N向上を図るデジタルカメラ装置及びデジタル画素加算方法を提供することを課題とする。

【解決手段】 固体撮像手段1の駆動周波数と同じクロック信号で動作するデジタル処理部を中心にして構成され、固体撮像手段1のN画素前までの所定ビット長を有するデジタル信号を全て加算するデジタル処理による画素加算機能を実行するデジタル画素加算手段5を設ける。



特(2)2000-184274 (P 2000-184274A)

2

【特許請求の範囲】

【請求項 1】 デジタル画素加算を用いて固体撮像素子の高感度化やS/N向上を図るデジタルカメラ装置であって、

光学画像を光電変換して出力する固体撮像素子を用いた固体撮像手段と、

前記固体撮像手段の雑音を低減する固体撮像素子用のサンプリング回路を有するI DDS手段と、

カメラ装置の電気ゲインを切り替えるゲインコントロール回路を有するゲインコントロール手段と、

アナログ映像信号を所定ビット長を有するデジタル信号に変換するA/Dコンバータを有するA/D変換手段と、

前記固体撮像手段の駆動周波数と同じクロック信号で動作するデジタル処理部を有し、Nクロック前までの所定ビット長を有するデジタル信号を全て加算する画素加算機能を実行するデジタル画素加算手段とを備えることを特徴とするデジタルカメラ装置。

【請求項 2】 デジタル画素加算を用いて固体撮像素子の高感度化やS/N向上を図るデジタルカメラ装置であって、

光学画像を光電変換して出力する固体撮像素子を用いた固体撮像手段と、

前記固体撮像手段の雑音を低減する固体撮像素子用のサンプリング回路を有するI DDS手段と、

カメラ装置の電気ゲインを切り替えるゲインコントロール回路を有するゲインコントロール手段と、

アナログ映像信号を所定ビット長を有するデジタル信号に変換するA/Dコンバータを有するA/D変換手段と、

前記固体撮像手段の駆動周波数と同じクロック信号で動作するデジタル処理部を有し、前記固体撮像手段のN画素前までの所定ビット長を有するデジタル信号を全て加算するデジタル画素加算機能を実行するデジタル画素加算手段とを備えることを特徴とするデジタルカメラ装置。

【請求項 3】 前記デジタル画素加算手段からの前記画素加算結果にかかる出力信号に対して映像信号処理をデジタル処理するデジタルプロセス手段を備えることを特徴とする請求項 1 又は 2 に記載のデジタルカメラ装置。

【請求項 4】 前記デジタルプロセス手段でデジタル処理された所定ビット長を有するデジタル信号をアナログ信号に変換してビデオ信号を生成・出力する回路を有するD/A変換手段を備えることを特徴とする請求項 3 に記載のデジタルカメラ装置。

【請求項 5】 前記固体撮像手段へのCCD駆動パルス信号、前記I DDS手段へのサンプリングパルス信号、前記デジタル画素加算手段へのクロック信号を生成・出力する回路を有するタイミングジェネレータを備えることを特徴とする請求項 4 に記載のデジタルカメラ装置。

【請求項 6】 前記デジタル画素加算手段は、1画素前の映像にかかるデータを得るための回路を有するラッチと、

前記ラッチが出力する前記1画素前データに、前記A/D変換手段から出力されるデジタル信号である現在データを加算する加算器を有する加算手段と、

前記加算手段から出力される前記加算結果のデータを前記クロック信号に同期させるための回路を有するラッチとを備えることを特徴とする請求項 1 乃至 5 のいずれか一項に記載のデジタルカメラ装置。

【請求項 7】 光学画像を光電変換して出力する固体撮像素子を用いた固体撮像手段と、前記固体撮像手段の雑音を低減する固体撮像素子用のサンプリング回路を有するI DDS手段と、カメラ装置の電気ゲインを切り替えるゲインコントロール回路を有するゲインコントロール手段と、アナログ映像信号を所定ビット長を有するデジタル信号に変換するA/Dコンバータを有するA/D変換手段とを有するデジタルカメラ装置に対して、デジタル画素加算を用いて固体撮像素子の高感度化やS/N向上を図るデジタル画素加算方法であって、

前記固体撮像手段の駆動周波数と同じクロック信号で動作し、Nクロック前までの所定ビット長を有するデジタル信号を全て加算する画素加算処理を実行することを特徴とするデジタル画素加算方法。

【請求項 8】 光学画像を光電変換して出力する固体撮像素子を用いた固体撮像手段と、前記固体撮像手段の雑音を低減する固体撮像素子用のサンプリング回路を有するI DDS手段と、カメラ装置の電気ゲインを切り替えるゲインコントロール回路を有するゲインコントロール手段と、アナログ映像信号を所定ビット長を有するデジタル信号に変換するA/Dコンバータを有するA/D変換手段とを有するデジタルカメラ装置に対して、デジタル画素加算を用いて固体撮像素子の高感度化やS/N向上を図るデジタル画素加算方法であって、

前記固体撮像手段の駆動周波数と同じクロック信号で動作し、前記固体撮像手段のN画素前までの所定ビット長を有するデジタル信号を全て加算するデジタル処理による画素加算処理を実行することを特徴とするデジタル画素加算方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、画像処理技術に関し、特に、デジタル画素加算を用いて固体撮像素子の高感度化やS/N (Signal to Noise Ratio) 向上を図るデジタルカメラ装置及びデジタル画素加算方法に関する。

【0002】

【従来の技術】 デジタルカメラ装置の重要な性能の中に、感度・S/Nがある。この内、S/Nに関しては、固体撮像素子 (CCD) のサンプリング回路で高S/N

特(3)2000-184274 (P2000-184274A)

3

化する一例として、積分型遅延差雑音除去 (Integral Delayed and Differential Noise Suppression: 以下 IDDS と略す) を用いる回路が、文献「高解像度固体撮像素子カメラに適した雑音除去方法の検討」(大久保他、1989年テレビジョン学会技術報告) に開示されている。この方式は周知の相関二重サンプリング (Correlated Double Sampling: 以下 CDS と略す) 回路より固体撮像素子のリセットノイズ・サンプリングによる折り返しノイズが低減し雑音抑制効果が高い。

【0003】また、固体撮像素子カメラの高感度化手法の一つで、固体撮像素子の駆動方法を変更することで隣接する画素を加算するために、前述の IDDS 回路と組み合わせて感度・S/Nを向上した従来技術としては、例えば、特開平8-317290号公報に記載のものがある。すなわち、従来技術は、最終水平転送ゲートが他の水平転送ゲートと独立して駆動できる固体撮像素子と、この固体撮像素子の出力信号と信号を所定時間遅延させた信号とを用いて出力信号の雑音を低減する積分型遅延差雑音除去手段とを含むカメラ装置であって、最終水平転送ゲートに印加する最終ゲートパルスとこのパルスをN分周 (Nは2以上の整数、以下同じ) したパルスとを制御入力に応じて逐一的に固体撮像素子に入力せしめるパルス印加手段を含み、パルス印加手段は、最終ゲートパルスをN分周する第1の分周手段と、最終ゲートパルスと分周手段によるN分周後のN分周パルスとを逐一的に送出する選択手段とを含み、積分型遅延差雑音除去手段は、固体撮像素子の出力信号の信号期間の開始タイミングと出力信号のフィードスルー期間の開始タイミングとの差に相当する時間だけ出力信号を遅延させる遅延手段と、この遅延出力と出力信号とを加算する加算手段と、サンプリングパルスに応答して加算手段の出力を積分した後にホールドするサンプルホールド手段とを含み、パルス印加手段は、サンプリングパルスをN分周する第2の分周手段と、選択手段がN分周パルスを送出しているときサンプリングパルスの代わりに第2の分周手段の分周出力を送出する手段とを含んでいる。このような従来技術は、固体撮像素子の水平転送ゲート部に最終水平転送ゲートが独立して駆動できる素子を用いる必要がある。最終水平転送ゲートのパルスをN分周した信号を加えることで、水平転送部の最終部分でN画素分信号が加算され感度がN倍に向上するとともに、リセットパルスは変更せずに固体撮像素子からの出力信号が得られるため、前記 IDDS 回路を使用することができる。

【0004】

【発明が解決しようとする課題】しかしながら、従来技術は、水平転送部分に最終水平転送ゲートが独立して駆動できない固体撮像素子を用いて隣接画素加算を行う場合、固体撮像素子の駆動パルスのひとつであるリセット

10

4

パルスをN分周する必要があるという問題点があった。また、この従来技術と IDDS 回路とを組み合わせて感度・S/Nをともに向上しようとした場合、リセットパルスの分周に応じて IDDS 回路のディレイ量を変えなければならず回路規模が大きくなると共に装置価格も上がってしまうという問題点があった。

【0005】本発明はかかる問題点を鑑みてなされたものであり、その目的とするところは、デジタル画素加算を用いて固体撮像素子の高感度化やS/N向上を図るデジタルカメラ装置及びデジタル画素加算方法を提供する点にある。

【0006】

【課題を解決するための手段】本発明の請求項1に記載の要旨は、デジタル画素加算を用いて固体撮像素子の高感度化やS/N向上を図るデジタルカメラ装置であって、光学画像を光電変換して出力する固体撮像素子を用いた固体撮像手段と、前記固体撮像手段の雑音を低減する固体撮像素子用のサンプリング回路を有する IDDS 手段と、カメラ装置の電気ゲインを切り替えるゲインコントロール回路を有するゲインコントロール手段と、アナログ映像信号を所定ビット長を有するデジタル信号に変換する A/D コンバータを有する A/D 変換手段と、前記固体撮像手段の駆動周波数と同じクロック信号で動作するデジタル処理部を有し、Nクロック前までの所定ビット長を有するデジタル信号を全て加算する画素加算機能を実行するデジタル画素加算手段とを備えることを特徴とするデジタルカメラ装置に存する。また本発明の請求項2に記載の要旨は、デジタル画素加算を用いて固体撮像素子の高感度化やS/N向上を図るデジタルカメラ装置であって、光学画像を光電変換して出力する固体撮像素子を用いた固体撮像手段と、前記固体撮像手段の雑音を低減する固体撮像素子用のサンプリング回路を有する IDDS 手段と、カメラ装置の電気ゲインを切り替えるゲインコントロール回路を有するゲインコントロール手段と、アナログ映像信号を所定ビット長を有するデジタル信号に変換する A/D コンバータを有する A/D 変換手段と、前記固体撮像手段の駆動周波数と同じクロック信号で動作するデジタル処理部を有し、前記固体撮像手段のN画素前までの所定ビット長を有するデジタル信号を全て加算するデジタル処理による画素加算機能を実行するデジタル画素加算手段とを備えることを特徴とするデジタルカメラ装置に存する。また本発明の請求項3に記載の要旨は、前記デジタル画素加算手段からの前記画素加算結果にかかる出力信号に対して映像信号処理をデジタル処理するデジタルプロセス手段を備えることを特徴とする請求項1又は2に記載のデジタルカメラ装置に存する。また本発明の請求項4に記載の要旨は、前記デジタルプロセス手段でデジタル処理された所定ビット長を有するデジタル信号をアナログ信号に変換してビデオ信号を生成・出力する回路を有する D/A 変換手段

30

40

50

特(4)2000-184274 (P2000-184274A)

6

を備えることを特徴とする請求項3に記載のデジタルカメラ装置に存する。また本発明の請求項5に記載の要旨は、前記固体撮像手段へのCCD駆動バルス信号、前記IDDS手段へのサンプリングバルス信号、前記デジタル画素加算手段へのクロック信号を生成・出力する回路を有するタイミングジェネレータを備えることを特徴とする請求項4に記載のデジタルカメラ装置に存する。また本発明の請求項6に記載の要旨は、前記デジタル画素加算手段は、1画素前の映像にかかるデータを得るために回路を有するラッチと、前記ラッチが出力する前記1画素前データに、前記A/D変換手段から出力されるデジタル信号である現在データを加算する加算器を有する加算手段と、前記加算手段から出力される前記加算結果のデータを前記クロック信号に同期させるための回路を有するラッチとを備えることを特徴とする請求項1乃至5のいずれか一項に記載のデジタルカメラ装置に存する。また本発明の請求項7に記載の要旨は、光学画像を光電変換して出力する固体撮像素子を用いた固体撮像手段と、前記固体撮像手段の雑音を低減する固体撮像素子用のサンプリング回路を有するIDDS手段と、カメラ装置の電気ゲインを切り替えるゲインコントロール回路を有するゲインコントロール手段と、アナログ映像信号を所定ビット長を有するデジタル信号に変換するA/Dコンバータを有するA/D変換手段とを有するデジタルカメラ装置に対して、デジタル画素加算を用いて固体撮像素子の高感度化やS/N向上を図るデジタル画素加算方法であって、前記固体撮像手段の駆動周波数と同じクロック信号で動作し、Nクロック前までの所定ビット長を有するデジタル信号を全て加算する画素加算処理を実行することを特徴とするデジタル画素加算方法に存する。また本発明の請求項8に記載の要旨は、光学画像を光電変換して出力する固体撮像素子を用いた固体撮像手段と、前記固体撮像手段の雑音を低減する固体撮像素子用のサンプリング回路を有するIDDS手段と、カメラ装置の電気ゲインを切り替えるゲインコントロール回路を有するゲインコントロール手段と、アナログ映像信号を所定ビット長を有するデジタル信号に変換するA/Dコンバータを有するA/D変換手段とを有するデジタルカメラ装置に対して、デジタル画素加算を用いて固体撮像素子の高感度化やS/N向上を図るデジタル画素加算方法であって、前記固体撮像手段の駆動周波数と同じクロック信号で動作し、前記固体撮像手段のN画素前までの所定ビット長を有するデジタル信号を全て加算するデジタル処理による画素加算処理を実行することを特徴とするデジタル画素加算方法に存する。

【0007】

【発明の実施の形態】以下、本発明の実施の形態を図面に基づいて詳細に説明する。本実施形態のデジタルカメラ装置及びデジタル画素加算方法は、水平転送ゲートにおいて最終水平転送ゲートが独立して駆動できない固体

撮像素子を使用する場合においても、雑音を抑制する効果の高いIDDS回路を使用でき、回路規模およびコストともに上昇しないように画素加算機能を実現できるようにするため、デジタル画素加算手段を用いたデジタル処理において画素加算機能を行うことを特徴とする。本実施形態のデジタルカメラ装置及びデジタル画素加算方法は、IDDS回路等の雑音抑制効果の高いサンプリング回路と高S/Nのアナログ回路とを組み合わせたときに特に効果が高くなる。

【0008】図1は、本発明のデジタルカメラ装置100の一実施形態を説明するための機能ブロック図である。図1を参照すると、本実施形態のデジタルカメラ装置100は、固体撮像手段1(図中でCCDと表記)、IDDS手段2(図中でIDDSと表記)、ゲインコントロール手段3(図中でGAIN CONTと表記)、A/D変換手段4(図中でA/Dと表記)、デジタル画素加算手段5(図中でデジタル加算器と表記)、デジタルプロセス手段6(図中でDSPと表記)、D/A変換手段7(図中でD/Aと表記)、タイミングジェネレータ8を備えている。

【0009】固体撮像手段1はCCD(Charge Coupled Device)を用いた撮像素子を中心にして構成されている。IDDS手段2は固体撮像手段1の雑音を低減する固体撮像素子用のサンプリング回路を中心にして構成されている。ゲインコントロール手段3はデジタルカメラ装置100の電気ゲインを切り替えるゲインコントロール回路を中心にして構成されている。A/D変換手段4はアナログ映像信号を所定ビット長を有するデジタル信号に変換するA/Dコンバータを中心にして構成されている。A/Dコンバータの変換周波数は固体撮像手段1の駆動周波数と同じ周波数である。

【0010】デジタル画素加算手段5は固体撮像手段1の駆動周波数と同じクロック信号で動作するデジタル処理部を中心にして構成され、Nクロック前までの所定ビット長を有するデジタル信号(つまり固体撮像手段1のN画素前までの所定ビット長を有するデジタル信号)を全て加算する機能(デジタル処理による画素加算機能)を実行することにより、固体撮像素子1の高感度化やS/N向上を図るものである。

【0011】このようなデジタル画素加算手段5を用いて、デジタル処理による画素加算機能を行うことにより、水平転送ゲートにおいて最終水平転送ゲートが独立して駆動できない固体撮像素子を使用する場合であっても、雑音を抑制する効果の高いIDDS回路を使用でき、回路規模およびコストともに上昇しないように画素加算機能を実現できるようになる。

【0012】デジタルプロセス手段6は映像信号処理をデジタル処理するブロック(DSP(デジタル信号処理素子))を中心にして構成されている。D/A変換手段

特(5)2000 184274 (P2000 184274A)

8

7はデジタル処理された所定ビット長を有するデジタル信号をアナログ信号に変換してビデオ信号を生成・出力する回路を中心にして構成されている。タイミングジェネレータ8は、固体撮像手段1へのCCD駆動パルス信号、IDDS回路へのサンプリングパルス信号、デジタル画素加算手段5へのクロック信号等のデジタル信号を生成・出力するブロックを中心にして構成されている。タイミングジェネレータ8から固体撮像手段1に出力されるCCD駆動パルス信号は一般的のCCDカメラ装置と同じである。

【0013】図2は、図1のデジタル画素加算手段5の一実施形態を説明するための機能ブロック図であって、2画素を加算し感度を2倍に向上する場合の回路構成例を示している。図3は、図1のデジタルカメラ装置100で実行させるデジタル画素加算方式の一実施形態を説明するためのタイミングチャートである。固体撮像手段1の駆動は、タイミングジェネレータ8からのCCD駆動パルス信号を用いた、画素加算を行わない通常の駆動パルス制御を行う。固体撮像手段1の出力(すなわち、画像信号A、B、C、D、E、….)は図3のCCD1出力のタイミングチャートのようになる。IDDS手段2は画素加算を行わないため従来と同じ構成のものを使用する。IDDS手段2の出力(すなわち、信号Z、A、B、C、D、E、….)は図3のIDDS2のタイミングチャートのようになる。A/D変換手段4は固体撮像手段1の1画素を1クロック分のデータとするため、固体撮像手段1の水平駆動周波数と同じ周波数でA/D変換を行う。A/D変換後のタイミングは図3のA/D4出力(すなわち、信号Y、Z、A、B、C、D、E、….)のタイミングチャートのようになる。

【0014】一方、デジタル画素加算手段5も同じクロック周波数で処理を行う。ラッチ51は1クロック前のデータ(つまり1画素前の映像)を得るための回路である。ラッチ51のタイミングは図3のラッチ51の出力Q(すなわち、信号X、Z、A、B、C、D、….)のようになる。加算手段52はラッチ51の出力Qの1画素前データとA/D変換出力の現在データを加算する加算器である。ラッチ53は加算器出力のデータをクロック信号に同期させるためのラッチ回路である。ラッチ53の出力(すなわち、信号Y+Z、Z+A、A+B、B+C、C+D、D+E、….)のタイミングは、図3のラッチ53出力のようになる。また画素加算を行わないときは、画素加算の信号をリセット端子R.S.Tに与えてラッチ51をリセットしておけば出力が0になり出力が変化しない。なお、本実施形態では2画素加算を例に説明したが、3画素以上の加算においても同様の効果を得られる。

【0015】以上説明したように、本実施形態によれば、固体撮像素子に最終転送ゲートを独立して駆動できるゲートが設けられていない場合であっても、IDDS

回路の回路規模を大きくすることなく、また、デジタル回路もゲートアレイ等に組み込むことで回路規模・コスト共に大きくすることなく高感度・高S/N化を図ることができる。

【0016】また、固体撮像素子の駆動方法の変更により画素加算を行う場合に加算する組み合わせが決まってしまうため解像度は半分になってしまうといったケースを回避でき、図3のタイミングチャートの出力でも分かるとおり、画素加算を行う場合であっても水平方向の画素が半分にならず解像度も半分に劣化しない結果、画素加算による解像度劣化を低減することができる。

【0017】さらに、本実施形態の画素加算は、固体撮像素子の出力以降のアナログ回路で発生する広域のランダムノイズ(すなわち、クロック周波数の1/2周波数以上のノイズ)をノイズリダクションと同じ原理で1/√2に低減できる効果もある。

【0018】なお、本実施の形態においては、本発明は上記実施形態に限定されず、本発明を適用する上で好適な、デジタル画素加算を用いた固体撮像素子の高感度化技術やS/N向上技術に適用することができる。また、上記構成部材の数、位置、形状等は上記実施の形態に限定されず、本発明を実施する上で好適な数、位置、形状等にすることができます。また、各図において、同一構成要素には同一符号を付している。

【0019】

【発明の効果】本発明は以上のように構成されているので、固体撮像素子に最終転送ゲートを独立して駆動できるゲートが設けられていない場合であっても、IDDS回路の回路規模を大きくすることなく、また、デジタル回路もゲートアレイ等に組み込むことで回路規模・コスト共に大きくすることなく高感度・高S/N化を図ることができる。また、固体撮像素子の駆動方法の変更により画素加算を行う場合に加算する組み合わせが決まってしまうため解像度は半分になってしまうといったケースを回避でき、画素加算を行う場合であっても水平方向の画素が半分にならず解像度も半分に劣化しない結果、画素加算による解像度劣化を低減することができる。さらに、本発明の画素加算は、固体撮像素子の出力以降のアナログ回路で発生する広域のランダムノイズ(すなわち、クロック周波数の1/2周波数以上のノイズ)をノイズリダクションと同じ原理で1/√2に低減できる効果もある。

【図面の簡単な説明】

【図1】本発明のデジタルカメラ装置の一実施形態を説明するための機能ブロック図である。

【図2】図1のデジタル画素加算手段の一実施形態を説明するための機能ブロック図であって、2画素を加算し感度を2倍に向上する場合の回路構成例を示している。

【図3】図1のデジタルカメラ装置で実行させるデジタル画素加算方式の一実施形態を説明するためのタイミングチャートである。

特(6)2000-184274 (P2000-184274A)

9

10

クチャートである。

【符号の説明】

- 1…固体撮像手段
- 2…I DDS 手段
- 3…ゲインコントロール手段
- 4…A/D 変換手段
- 5…デジタル画素加算手段

6…デジタルプロセス手段

7…D/A 変換手段

8…タイミングジェネレータ

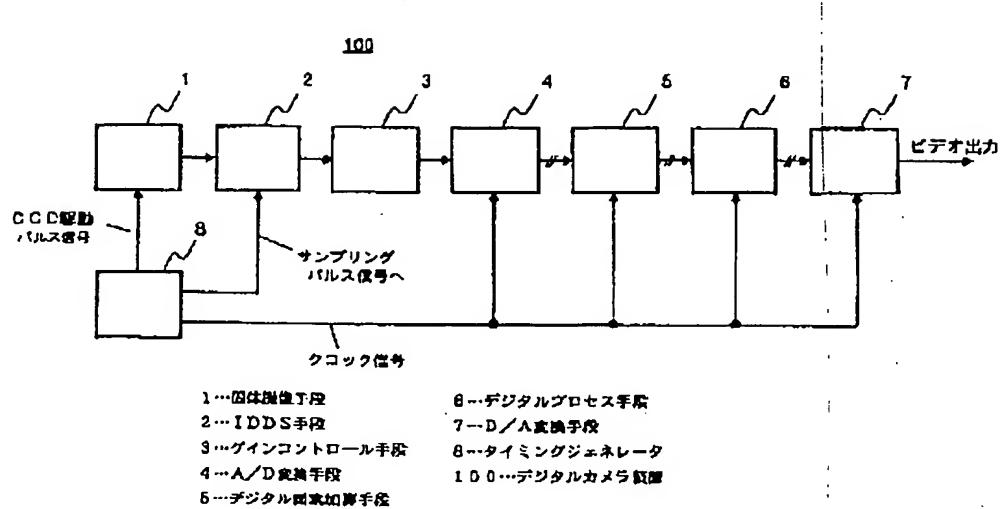
5 1…ラッチ

5 2…加算手段

5 3…ラッチ

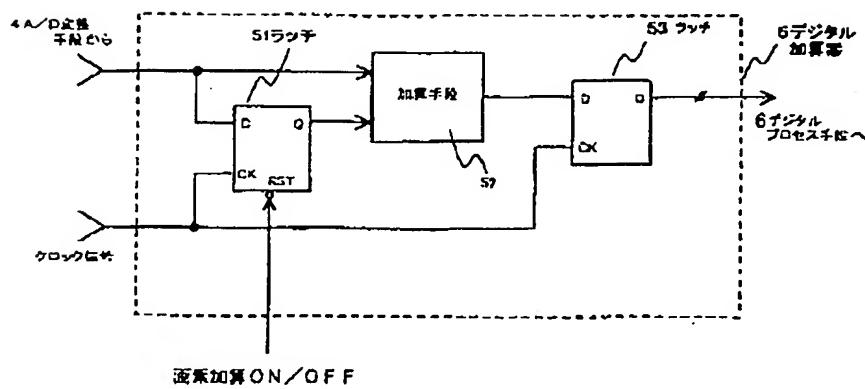
100…デジタルカメラ装置

【図 1】



- 1…固体撮像手段
- 2…I DDS 手段
- 3…ゲインコントロール手段
- 4…A/D 変換手段
- 5…デジタル画素加算手段
- 6…デジタルプロセス手段
- 7…D/A 変換手段
- 8…タイミングジェネレータ
- 100…デジタルカメラ装置

【図 2】



特(7)2 0 0 0 - 1 8 4 2 7 .1 (P 2 0 0 0 - 1 8 4 2 7 4 A)

【図3】

